



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ

Н АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(19) SU (11) 1408439 A1

(SU 4 G 06 F 12/02)

ВСЕСОЮЗНАЯ  
С П. 13  
БИБЛИОТЕКА  
13

(21) 4136630/24-24  
(22) 20.10.86  
(46) 07.07.88. Бюл. № 25  
(72) В.В.Меркуль, И.Ю.Манукин  
и М.Н.Гуревич  
(53) 681.325 (088.В)  
(56) Прожилковский В.В., Ломов Ю.С.  
Технические и программные средства  
ЭВМ. М.: Статистика, 1980, с.66-67.  
Авторское свидетельство СССР  
№ 764518, кл. Г 06 F 13/00, 1980.  
Авторское свидетельство СССР  
1024926, кл. Г 06 F 12/02, 1983.  
(54) УСТРОЙСТВО АДРЕСАЦИИ ДЛЯ АВТОМА-  
ТИЧЕСКОЙ КОНФИГУРАЦИИ ПАМЯТИ ЭВМ  
(57) Изобретение относится к вычисли-  
тельной технике и может быть исполь-  
зовано при непрерывной адресации мо-

дулей памяти ЭВМ. Целью изобретения  
является расширение функциональных  
возможностей устройства за счет схем-  
ной реализации автоматического откло-  
чения неисправных модулей памяти и  
установления непрерывной адресации  
для исправных модулей памяти, причем  
информация об отключенных (неисправ-  
ных) модулях памяти визуально пред-  
ставляется оператору на блоке инди-  
кации. Данная цель достигается за  
счет того, что в устройстве, содержа-  
щем регистр физических адресов, ре-  
гистр условных адресов, блок регист-  
ров преобразования адресов, дополните-  
тельно введены регистр команд, два  
мультиплексора, регистр индикации,  
элемент НЕ и элемент И. 2 ил.

8 SU 1408439 A1

FH 009058

Изобретение относится к вычислительной технике и может быть использовано при непрерывной адресации модулей памяти ЭВМ.

Оперативная память вычислительных машин большой мощности состоит из отдельных модулей, которые могут быть отключены в случае наличия в них неисправностей, причем исправные модули в данном случае должны иметь непрерывную адресацию.

Операции присвоения неотключенным модулям памяти непрерывной адресации осуществляются устройствами конфигурации памяти.

Цель изобретения - расширение функциональных возможностей за счет схемной реализации автоматического отключения неисправных модулей памяти и установления непрерывной адресации исправных модулей памяти.

На фиг. 1 представлена структурная схема соединения процессора, устройства адресации и оперативной памяти; на фиг. 2 - функциональная схема устройства.

Схема соединения включает процессор 1, устройство 2 адресации и оперативную память 3.

Устройство адресации содержит регистр 4 команд, регистр 5 физических адресов, регистр 6 условных адресов, блок 7 регистров преобразования адресов, первый 8 и второй 9 мультиплексоры, регистр 10 индикации, блок 11 индикации, элемент И 12 и элемент НЕ 13.

Выходы  $F_1, F_2, Q, A_2, A_1, F_3$  процессора 1 являются соответственно выходом записи информации в память 3, выходом обращения к памяти 3, информационным выходом, выходом адреса в модулях памяти, выходом адреса модулей памяти, выходом управления устройством 2.

Выходы устройства 2 А, и Г являются соответственно выходами физического адреса модулей памяти и управляемым выходом, последний служит для передачи в процессор 1 сигнала "Не действительный адрес" в случае обращения процессора 1 к отключенному модулю памяти и сигнала, "Конец конфигурации", необходимого для сигнализации об окончании в устройстве 2 режима конфигурации памяти.

Режимы работы устройства определяются кодами, установленными на регистре 4 команд, первый и второй выходы

5 которых подключены к управляющим входам регистров физических 5 и условных 6 адресов соответственно. При единичном значении на каком-либо выходе регистра 4 команд соответствующий регистр физического 5 или условного 6 адресов работает в режиме занесения информации по информационным входам, в противном случае данные регистры работают в режиме счетчика, причем режимы работы регистров условных 6 и физических 5 адресов осуществляются при наличии на их синхронных единичных сигналов.

В зависимости от кодов, установленных на выходах регистра 4 команд, устройство может работать в следующих режимах: конфигурации памяти (код 00 на регистре 4), обращения к памяти по физическим адресам (код 01 на регистре 4), обращения к памяти по условным адресам (код 10 на регистре 4), изменения конфигурации памяти (код 11 на регистре 4).

Режим конфигурации памяти осуществляется следующим образом. Сигналом управления "Сброс" производится установка всех регистров устройства 2 в 30 нулевое состояние, сигналом управления "Упр." - установка кода команды "Конфигурация" (код 00) на регистре 4 команд, осуществляется проверка тестовой информации модуля памяти 3, адрес которой соответствует коду, установленному на регистре 5, который работает в режиме счетчика (на адресном входе мультиплексора 9, в данном случае, разрешающий сигнал с выхода элемента НЕ 13). В случае положительного результата проверки модуля памяти памяти 3 в устройство 2 выдается из процессора 1 единичный сигнал "Запись" и единичный сигнал на первый вход задания режима и производится занесение кода, установленного на регистре 5, в регистр блока 7, определенного кодом на регистре 6, в разряде регистра 10 индикации, соответствующем коду на регистре 6, устанавливается единичное значение. Сигналами "Синхр. ФА" и "Синхр. УА", поступающими с процессора 1, происходит изменение кодов на +1 в регистрах 6 и 5.

В случае отрицательного результата при проверке тестовым контролем модуля памяти в памяти 3 сигналы "Запись" и "Синхр. УА" нерабатываются, т.е.

запись кода регистра 5 и соответствующий регистр блока 7 не производится, также не изменяется состояние в соответствующем разряде регистра 10.

При переполнении регистра 5 в процессор 1 выдается сигнал об окончании режима конфигурации памяти "Конец конфигурации". Таким образом, в режиме конфигурации в регистрах блока 7 последовательно записываются коды физических адресов исправных модулей памяти, а в блоке 11 индикации индикаторы, соответствующие исправным модулям памяти, устанавливаются в состояние "Выключено".

Режим обращения к памяти 3 по физическим адресам осуществляется путем установки кода 01 на регистре 4 с последующей установкой кода физических адресов в регистре 5. В данном случае коды физических адресов модулей памяти, установленные на регистре 5, поступают в память 3 через ячейку информационный вход мультиплексора 9, так как адресный и младший разряд второго информационного входа возбуждаются единичным сигналом с выхода элемента ИЕ 13. Данный режим используется в основном при поиске неисправности в модулях памяти.

Режим обращения к памяти по условным адресам производится путем установки сигналом "Упр." кода 10 на регистре 4 команд и сигналами "Синхр. УА" осуществляется установка кодов условных адресов в регистре 6. В данном случае на выходах мультиплексора 8 появляются коды физических адресов, соответствующие кодам условных адресов, возбуждающих адресные входы данного мультиплексора. Коды физических адресов с выхода мультиплексора 8 передаются через мультиплексор 9 в память 3, причем если на инверсном младшем разряде выхода мультиплексора 9 появится единичный сигнал, то физический адрес на выходах данного мультиплексора будет недействительным.

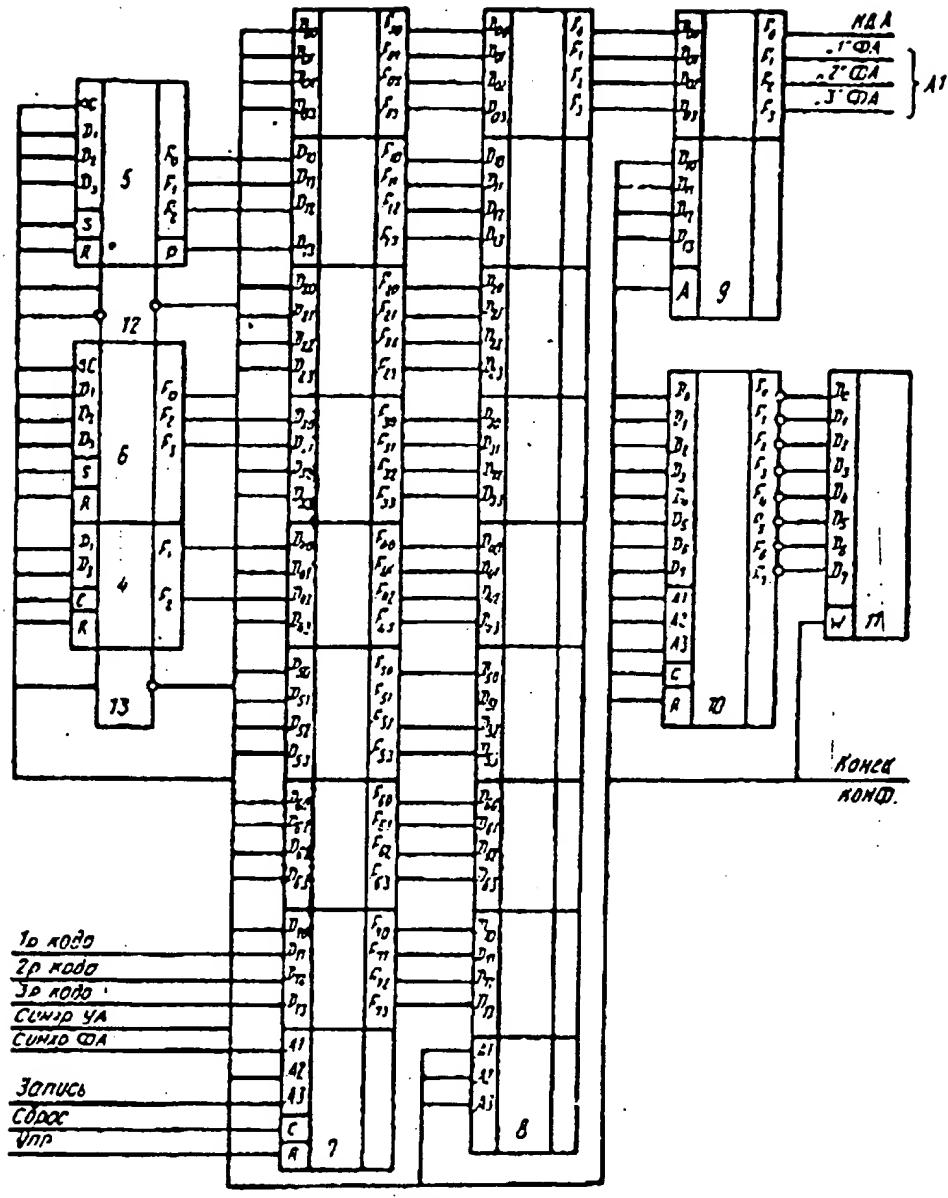
Режим изменения конфигурации памяти является режимом присвоения физическому адресу данного модуля памяти соответствующего условного адреса. Данный режим используется в некоторых случаях при выходе из строя модулей памяти во время выполнения процессором 1 вычислительного процесса. В данном режиме сигналами "Упр.",

"Синхр. ФА" и "Синхр. УА" производится установка кодов на регистрах 4-6. Сигналом "Запись" осуществляется запись кода физического адреса в блок 7, причем если имеется единичный сигнал на первом входе заложения регистра, то физический адрес, записываемый в соответствующие регистры блока 7, является действительным, в противном случае физический адрес недействительный и в соответствующем разряде регистра 10 индикации устанавливается нулевой код, т.е. соответствующий индикатор в блоке 11 индикации устанавливается в состояние "Выключено".

#### Ф о р м у л а и з о б р е т е н и я

Устройство адресации для автоматической конфигурации памяти ЭВМ, содержащее регистры физических и условных адресов, блок регистров преобразования адресов, причем информационные и адресные входы блока регистров преобразования адресов соединены соответственно с выходами регистров физических и условных адресов, отличающееся тем, что, с целью расширения функциональных возможностей за счет схемной реализации автоматического отключения неисправных модулей памяти и установления непрерывной адресации для исправных модулей памяти, в него введены регистр команд, два мультиплексора, регистр индикации, элемент ИЕ и элемент И, причем информационные входы регистров условных и физических адресов и команд соединены с выходами задания режима устройства, синхровходы регистров условных и физических адресов и команд соединены с соответствующими входными шинами синхронизации, входы управления режимом регистров условных и физических адресов соединены с прямым и инверсным входами элемента И и с первым и вторым выходами регистра команд соответственно, входы младших разрядов регистров блока регистров преобразования адресов соединены с первым входом заложения режима устройства и с информационными входами регистра индикации, выходы которого являются выходами признака неисправности модулей памяти устройства, синхровход регистра индикации соединен с выходом записи устройства и с синхровходом блока регистров преобразования адресов, адресные входы

1608434



Ques. 2

Составитель А. Никонов

Редактор В.Панко Техред А.Козечук

Корректор Э.Лончакова

Завдання 3353/32

Tipax 704

ପରିଚୟ

ВИДАЧИ ГОСУДАРСТВЕННЫХ КОМИССАРІВ СССР

на землю и забыть о ней.

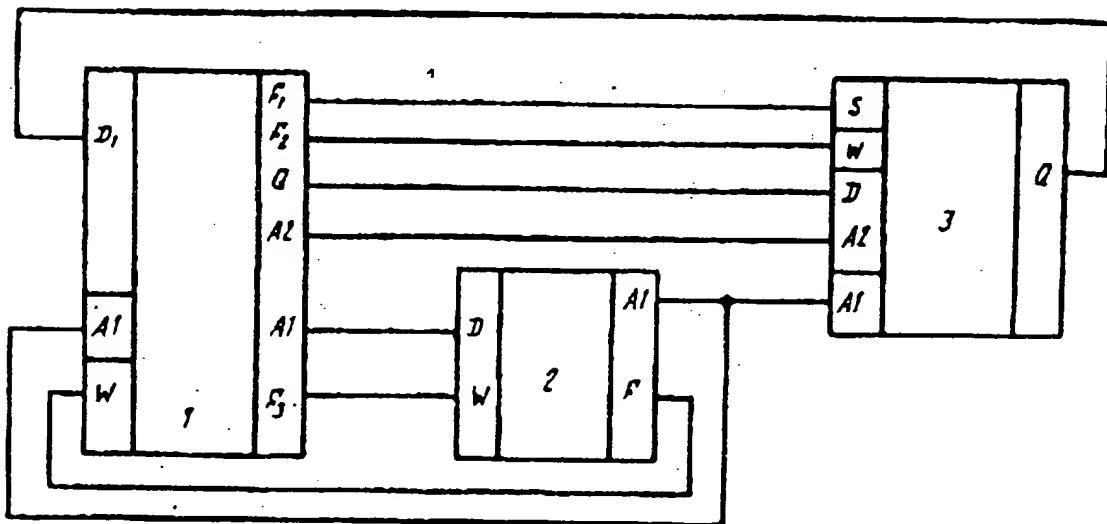
113035. Model No. 33. Page 48. 4/5

ПРЕИМУЩЕСТВО - ПРЕДПРИЯТИЕ ПРЕДПРИЯТИЕ, Г. УЖГОРОД, УЛ. ПРОЕКТНАЯ, 4

FH 009061

которого соединены с адресными входами первого мультиплексора, адресные входы регистра индикации соединены с выходами регистра физических адресов и с старшими разрядами второго информационного входа второго мультиплексора, младший разряд второго информационного входа и адресный вход которого соединены с выходом элемента ИЕ, 10 вход которого соединен с вторым выходом регистра команд, первый информационный вход второго мультиплексора соединен с выходом первого мультиплексора, информационные выходы которого соединены с выходами блока регистров преобразования адресов, выходы установки нуля всех регистров соединены с входом сброса устройства, инверсный выход элемента И является выходом признака завершения тестирования памяти устройства, выходы второго мультиплексора являются выходами задания адреса устройства, выход переполнения регистра физических адресов является выходом признака конца конфигурации памяти устройства.

лексора, информационные выходы которого соединены с выходами блока регистров преобразования адресов, выходы установки нуля всех регистров соединены с входом сброса устройства, инверсный выход элемента И является выходом признака завершения тестирования памяти устройства, выходы второго мультиплексора являются выходами задания адреса устройства, выход переполнения регистра физических адресов является выходом признака конца конфигурации памяти устройства.



Фиг.1

## Annex 16

SU No 1408439, published July 07, 1988

### Specification of Invention to Certificate of Authorship 1408439 A1

[21] 4136630/24-24

[19] SU [11] 1408439 A1

[22] Filed: Oct. 20, 1986

[51] Int. Cl. G 06 F 12/02

[46] Jul. 07, 1988, Bulletin No 25

[72] Inventors: V.V. Merkul, I.Yu. Manukin and M.N. Gurevich

[53] UDC 681.325 (088.8)

#### [54] ADDRESSING DEVICE FOR CONFIGURATING MEMORY AUTOMATICALLY

[57] The invention relates to the computer engineering and may be used in continuous addressing a computer memory. An object of the invention is in widening the functional possibilities of the device by using a circuitry to cut off automatically the failed memory blocks and establishing continuous addressing for the failed memory blocks, the information on the cutoff (failed) memory blocks being visually presented to the operator on a display unit. Said object is achieved by installing in the device a command register, two multiplexers, indication register, NO component and AND component in addition to the physical address register, virtual address register, a unit of address mapping registers.

Fig. 1 is a structural connection diagram of the processor, addressing device and ROM; Fig. 2 is the device functional diagram.

The connection diagram includes processor 1, addressing device 2 and RAM 3.

The addressing device comprises command register 4, physical address register 5, virtual address register 6, unit 7 of address mapping registers, first 8 and second 9 multiplexers, indication register 10, indication unit 11, element AND 12 and element NO 13.

FH 009063